

PATENT ABSTRACTS OF JAPAN

(11)Publication number :  
09-167928

(43)Date of publication of application :  
24.06.1997

(51)Int.Cl.  
H03F 3/343

(21)Application number :  
07-277802

(71)Applicant :  
SANSEI DENSHI JAPAN KK

(22)Date of filing :  
25.10.1995

(72)Inventor :  
SOU BINKEI

(30)Priority  
Priority number :  
07262616  
Priority date :  
11.10.1995  
Priority country :  
JP

(54) OPERATIONAL AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an operational amplifier which is capable of operating at even power source voltage of 1V or below.

SOLUTION: A pair of MOSFET 11 and 12 in which the one is made a diode-shape and a gate is made common are used. Each source side is used for a differential input terminal and the differential stage DS connecting constant current sources 13 and 14 with each drain side is provided. A MOS operational amplifier 10 which is made to control the output stage OS in which a MOSFET 16 and a constant current source 17 are serially connected by the output of the differential stage DS is provided. As the constant current source, the current mirror circuit of an NMOSFET is used. In this operational amplifier 10, only the threshold voltage of the pair of MOSFET 11 and 12 and the slight margin are related to the level of the DC bias in the differential stage DS.

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]One pair of MOSFETs which consist of MOSFETs used as a diode form and these MOSFETs, and MOSFETs which made gate connection are used, An MOS operational amplifier using each that source side for a difference input terminal, and providing a differential stage which connects a constant current source to each that drain side, and is used for an output terminal, and controlling an output stage which

carries out the series connection of MOSFET and the constant current source by an output of this differential stage.

[Claim 2]The MOS operational amplifier according to claim 1 using PMOSFET as an MOSFET.

[Claim 3]The MOS operational amplifier according to claim 2 which uses a current mirror circuit of NMOSFET as a constant current source of a differential stage.

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

# DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to an MOS operational amplifier especially about an operational amplifier, i.e., an operational amplifier.

[0002]

[Description of the Prior Art]The example of representation of the operational amplifier used now is shown in drawing 4 and drawing 5. This circuit with the CMOS operational amplifier of common source differential amplifier type. for example, "Analog MOS IntegratedCircuits for Signal Processing"; R.Gregoroan and et.al; 121-264 pages of John Wiley & Sons;1986 -- or, "Biasing Circuit for. High Input SwingOperational. Amplifiers; J.F.Duque-Carrillo; It is indicated by IEEE Journal of Solid-State Circuits, VOL30, NO.2, Feb.1995, and PP156-159." The small signal equivalent circuit about the circuit of drawing 5 is shown in drawing 6.

[0003]In the differential amplifier 1 of drawing 4 and drawing 5, the gate of NMOSFET2 and 3 is used as a difference input terminal, respectively, and the source is connected to the constant current source 4 in common. And PMOSFET5 of a current mirror form which connected source with the power supply voltage VDD, and 6 are connected as active load to the drain of these NMOSFET2 and 3. In the case of drawing 5, as the output stage 7, source is connected with the power supply voltage VDD, and the constant current source 9 of PMOSFET8 which gate control is carried out by the output of the differential amplifier 1, and generates the output signal Vout from a drain, and this PMOSFET8, and \*\* are provided.

[0004]In the differential amplifier 1 in these circuits, since all the transistors operate in a saturation region, the conditions of the following expression 1 are required of the DC levels of difference input Vin1 and Vin2 at the lowest.

[Equation 1] $V_{in} > V_{tn}$  ( $V_{tn}$  is the threshold voltage of NMOSFET)

[0005]For PMOSFET5 and saturation region operation of six,  $V_{gs} > |V_{tp}|$  ( $V_{tp}$  is the threshold voltage of PMOSFET) is required of the voltage Vgs between the gate source, therefore, as for the drain voltage Va of NMOSFET2, the following expression 2 must be satisfied.

[Equation 2] $V_a < V_{DD} - |V_{tp}|$  [0006]The conditions of the following expression 3 are required for NMOSFET2 and saturation region operation of three.

[Equation 3] $V_{in1} - V_a < V_{tn}$  [0007]The following expression 4 is obtained from such expression 1-3 as an operating condition of this differential amplifier 1.

[Equation 4] $V_{tn} < V_{in} < V_{DD} - |V_{tp}| + V_{tn}$  [0008]As shown in this expression 4, the power supply voltage VDD is low, for example, if set to 1V, the range of the difference input Vin which can be operated will become very severe. Therefore, since difference input Vin1 and Vin2 are determined as  $V_{DD}/2$ , as the power supply voltage VDD, about at least 3 or more  $V_{tn}$ , i.e., about 1.5v, is usually set up. That is, the present power supply voltage VDD must satisfy the following expression 5 as a result. alpha in a formula shows a margin.

[Equation 5]

$VDD \cdot V_{tn} + |V_{tp}| + \alpha \cdot V_{tn} + V_{tn}/2 + |V_{tp}| + |V_{tp}|/2 = 1.5 (V_{tn} + |V_{tp}|)$

[0009] On the other hand, when drawing 6 which is a small signal equivalent circuit figure of the circuit of drawing 5 is referred to, the open-loop gain can be expressed with the following expression 6. As for AV0, a differential amplifier profit and AV2 of total open-loop gain and AV1 are amplification gains among a formula. gm and gd are the channel conductance of MOSFET and are  $gm = ID/V_{gs}$  and  $gd = ID/V_{ds}$ .

[Equation 6]

$AV0 = AV1 \text{ and } AV2 = [gm1/(gd2+gd4)] - [gm4/(gd5+go5)]$

[0010] The frequency gain can be expressed with the following expression 7 when drawing 7 is referred to. The 1st pole (first pole) and Sp2 of S=jomega and Sp1 are the 2nd pole (second pole) among a formula.

[Equation 7]

$AV = AV0, 1/[(1-S/Sp1)(1-S/Sp2)]$

....  $Sp1 = (gd2+gd4) / CA, Sp2 = (gd5+go5) / CL$  [0011]

[Problem(s) to be Solved by the Invention] By the way, low-electric-power-ization is increasingly called for more from the portable improvement and point of protraction of a hour of use with carrying-izing of the electronic item in these days, etc. Therefore, it is necessary also about analog circuitry like the CMOS operational amplifier for the above-mentioned single power supplies to be able to operate under the low voltage more. However, in the former, the fall of power supply voltage has a limit as mentioned above, and development of a further low-power-consumption type operational amplifier is desired. That is, if it can do, a profit as shown with the expression 6 and 7 remains as it is, and, specifically, the CMOS operational amplifier which can operate with the power supply voltage of a little larger grade than the power supply voltage not more than 1.0V or the threshold voltage of a MOS transistor is needed.

[0012]

[Means for Solving the Problem] By this invention, one pair of MOSFETs which consist of MOSFETs used as a diode form and these MOSFETs, and MOSFETs which made gate connection are used for such a purpose, Use each that sauce side for a difference input terminal, and provide a differential stage which connects a constant current source to each that drain side, and is used for an output terminal, and with and the output of this differential stage. An MOS operational amplifier which came to control an output stage which carries out the series connection of MOSFET and the constant current source is provided. In this case, it is suitable to use PMOSFET as an MOSFET and to consider it as CMOS operational amplifier using a current mirror circuit of NMOSFET as a constant current source. That is, since grounding (GND) connection is possible for it if PMOSFET is an NMOS current mirror although it excels in ease and economical efficiency of separation between elements and direct continuation must be carried out to power supply voltage (VDD) in a PMOS current mirror, it is because it is advantageous to a low-voltage design.

[0013] Since only threshold voltage and some margin of one pair of MOSFETs will be related to a level of a DC bias in a differential stage according to this circuit, it becomes usable about a thing of voltage lower than before as power supply voltage of the operational amplifier concerned. On the other hand, about CMRR (common mode rejection ratio) of open-loop gain of the circuit concerned, frequency gain, or a differential stage, even if compared with the former, that equal can be obtained.

[0014]

[Embodiment of the Invention] Hereafter, the embodiment of this invention is described with reference to drawings.

[0015] As shown in drawing 1, CMOS operational amplifier 10 of this example comprises a differential stage DS and an output stage OS. Differential stage DS is provided with 1 to 11 [PMOSFET] which tied each sauce to difference input Vin1 and Vin2, respectively, and 12. PMOSFET11 is used as a diode form and gate connection of PMOSFET12 is made with PMOSFET11. That is, it carries out in common, and is connected to the drain of PMOSFET11, and each gate of PMOSFET11 and 12 is grounded via the constant current source 13 (GND). The drain of PMOSFET12 is connected to the constant current source 14, the node 15 of these PMOSFET(s)12 and the constant current source 14 is used as an output terminal, and the output (voltage Vb) of differential stage DS is taken.

[0016] Output stage OS is the composition of consisting of a series connection of

PMOSFET16 which connected source with the power supply voltage VDD, and the constant current source 17 linked to the drain of this PMOSFET16, and generating the operational amplifier output Vout from the node 18 of PMOSFET16 and the constant current source 17. Since the conductivity is controlled by the gate of PMOSFET16 in response to the output of differential stage DS, the output Vout according to difference input Vin1 and Vin2 is obtained.

[0017]The current mirror circuit of NMOSFET is used as the constant current sources 13, 14, and 17 of this operational amplifier 10 (drawing 1 B). Hereafter, the performance of this circuit is explained using expression.

[0018]\*\* . DC bias [0019]The voltage Vin of the difference input of this operational amplifier 10 may satisfy the conditions of the following expression 8 so that clearly from drawing 1. Vtp in a formula expresses the threshold voltage of PMOSFET, and alpha expresses a margin.

[Equation 8] $V_{in} > |V_{tp}| + \alpha \cdot |V_{tp}| + |V_{tp}|/2 = 1.5|V_{tp}|$  [0020]In this operational amplifier 10, since  $V_{in} \ll V_{DD}$  is possible, it enables even the level which can express with the following expression 9 to drop the power supply voltage VDD from the expression 8.

[Equation 9] $V_{DD} \gg 1.5|V_{tp}|$  [0021]That is, compared with the power supply voltage VDD of the conventional CMOS operational amplifier, it turns out that at least about 1/2 level can operate.

[0022]\*\* . Profit of differential stage DS [0023]A small signal equivalent circuit figure of this operational amplifier 10 is shown in drawing 2. The following expression 10 can be expressed from the figure.

[Equation 10]

Va: (from Kirchhoff's law to the node Va)

$g_{o1}V_a + g_{d1}(V_a - V_{in1}) + g_{m1}(V_a - V_{in1}) = 0$  Vb : (from Kirchhoff's law to the node Vb)

$g_{o2}V_b + g_{d2}(V_b - V_{in2}) + g_{m2}(V_a - V_{in2}) = 0$  [0024]The following expression 11 is obtained from this expression 10.

[Equation 11] $V_b = [-g_{m1} \text{ and } g_{m2}/(g_{m1} + g_{d1} + g_{o1})] (g_{d2} + g_{o2}) V_{in1} + [(g_{m2} + g_{d2}) / (g_{d2} + g_{o2})] V_{in2}$  [0025]The expression 11 can change as follows from Vin and  $d = V_{in1} - V_{in2}$ , Vin, and  $c = (V_{in1} + V_{in2}) / 2$ .

[Equation 12] $V_b = [-1 / (g_{d2} + g_{o2})] [g_{m1} \text{ and } g_{m2}/(g_{m1} + g_{d1} + g_{o1}) + g_{m2} + g_{d2}] \text{ and } V_{in}, d/2 + [1 / (g_{d2} + g_{o2})] [g_{m2} + g_{d2} - g_{m1} \text{ and } g_{m2}/(g_{m1} + g_{d1} + g_{o1})] \text{ and } V_{in}, c$  [0026]The expression 12 can be expressed with the following expression 13 from  $g_{m1} \gg g_{d1} + g_{o1}$  and  $g_{m2} \gg g_{d2} + g_{o2}$ .

[Equation 13] $V_b = -[(g_{m2} + g_{d2}/2) / (g_{d2} + g_{o2})] - V_{in}, d + [g_{d2}/(g_{d2} + g_{o2})] - V_{in}, c$

[0027]Therefore, the following expression 14 and the expression 15 are obtained from the expression 13. Adm is differential mode gain (differential mode gain), and Acmm is common mode gain (common mode gain).

[Equation 14] $|Adm| = (g_{m2} + g_{d2}/2) / (g_{d2} + g_{o2})$

$Acmm = g_{d2} / (g_{d2} + g_{o2})$

[Equation 15] $CMRR = (g_{m2} + g_{d2}/2) / g_{d2}$  [0028]\*\* . Profit of output stage OS [0029]The expression 16 of a following formula is obtained from drawing 2.

[Equation 16]

$g_{o3}V_{out} + g_{m3}V_b + g_{d3}V_{out} = 0$  [0030]The expression 17 is obtained from this expression 16.

[Equation 17]

$V_{out} = [-g_{m3}/(g_{o3} + g_{d3})] - V_b$  [0031]Therefore, the expression 18 can be expressed. Av2 serves as a profit of output stage OS.

[Equation 18] $Av2 = V_{out}/V_b = |g_{m3}/(g_{o3} + g_{d3})|$  [0032]As mentioned above, the total voltage gain of the circuit of this embodiment becomes like the following expression 19. Even if this compares with the expression 6 of conventional technology, it is the almost same (a little large) grade. Av1 serves as a profit of differential stage DS.

[Equation 19]

$Av0 = Av1 \text{ and } Av2 = |Adm| \text{ and } Av2 = [(g_{m2} + g_{d2}/2) / (g_{d2} + g_{o2})] - [g_{m3}/(g_{o3} + g_{d3})]$

[0033]Frequency gain can be expressed with the following expression 20 with reference to drawing 3. That is, even if compared with the expression 7 of conventional technology, it is the almost same grade.

[Equation 20]

$Av = Av0, 1 / [(1 - S/Sp1) (1 - S/Sp2)]$

....  $Sp1 = (g_{o2} + g_{d2})/CB$ ,  $Sp2 = (g_{o3} + g_{d3}) / CL$  [0034]Although this embodiment explains a case where PMOSFET is used, even when using NMOSFET, it is feasible at same

circuitry. Namely, what is necessary is to set PMOSFET11, and 12 and 16 to NMOSFET, to make power supply polarity reverse, i.e., just to constitute from composition shown in drawing 1 so that the grounding (GND) side may be used for the power-supply-voltage side as voltage of + including a difference input, using negative voltage. Also in this case, it is possible to obtain the same characteristic as the above.

[0035]

[Effect of the Invention]As explained above, according to this invention, the MOS operational amplifier which can operate also with the power supply voltage not more than 1.0V can be provided, maintaining high performance. Therefore, it is useful to the electronic item which can realize the further low-electric-power-ization and in which downsizing and carrying-ization are advanced. The MOS operational amplifier of this invention can be used effective also in a data conversion-related circuit.

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The circuit diagram showing the MOS operational amplifier by this invention.

[Drawing 2]The representative circuit schematic about the open-loop gain of the operational amplifier of drawing 1.

[Drawing 3]The representative circuit schematic about the frequency gain of the operational amplifier of drawing 1.

[Drawing 4]The circuit diagram showing an example of the conventional CMOS operational amplifier.

[Drawing 5]The circuit diagram showing other examples of the conventional CMOS operational amplifier.

[Drawing 6]The representative circuit schematic about the open-loop gain of the circuit of drawing 5.

[Drawing 7]The representative circuit schematic about the frequency gain of the circuit of drawing 5.

[Description of Notations]

10 MOS operational amplifier

11,12,16 PMOSFET

13, 14, and 17 Constant current source

DS Differential stage

OS output stage

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

#### DRAWINGS

JP-A-H09-167928.txt

[Drawing 2]

[Drawing 3]

[Drawing 1]

[Drawing 4]

[Drawing 5]

[Drawing 6]

[Drawing 7]

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-167928

(43) 公開日 平成9年(1997)6月24日

(51) Int.Cl.<sup>6</sup>

H 0 3 F 3/343

識別記号

庁内整理番号

F I

H 0 3 F 3/343

技術表示箇所

Λ

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平7-277802

(22) 出願日 平成7年(1995)10月25日

(31) 優先権主張番号 特願平7-262616

(32) 優先日 平7(1995)10月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 591021763

三星電子ジャパン株式会社

東京都中央区日本橋浜町2丁目31番1号

(72) 発明者 宋 敏圭

東京都中央区日本橋浜町2-31-1 三星電子ジャパン株式会社内

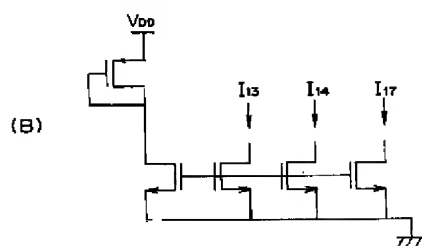
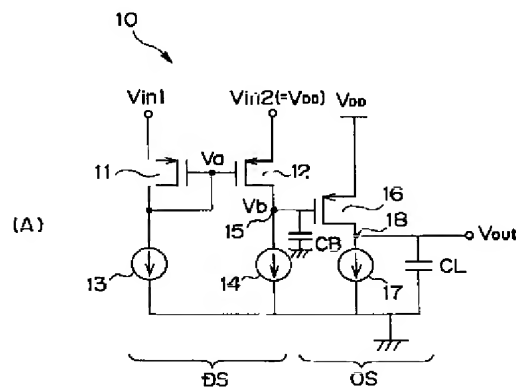
(74) 代理人 弁理士 高月 猛

(54) 【発明の名称】 オペアンプ

(57) 【要約】

【課題】 1V以下の電源電圧でも動作可能なオペアンプを提供する。

【解決手段】 一方をダイオード形としてゲートを共通にした1対のMOSFET11, 12を使用し、その各ソース側を差動入力端子に使用すると共に各ドレイン側に定電流源13, 14を接続した差動ステージDSを設け、そして、差動ステージDSの出力により、MOSFET16及び定電流源17を直列接続した出力ステージOSを制御するようにしたMOSオペアンプ10を提供する。定電流源としてはNMOSFETのカレントミラー回路を使用する。このオペアンプ10では、差動ステージDSにおけるDCバイアスのレベルには、1対のMOSFET11, 12のしきい値電圧とその若干のマージンのみに関係するだけになる。



## 【特許請求の範囲】

【請求項1】 ダイオード形としたMOSFET及び該MOSFETとゲート接続したMOSFETからなる1対のMOSFETを用い、その各ソース側を差動入力端子に使用すると共にその各ドレイン側へ定電流源を接続して出力端子に使用する差動ステージを設け、該差動ステージの出力により、MOSFET及び定電流源を直列接続してなる出力ステージを制御することを特徴とするMOSオペアンプ。

【請求項2】 MOSFETとしてPMOSFETを用いる請求項1記載のMOSオペアンプ。

【請求項3】 差動ステージの定電流源として、NMOSFETのカレントミラー回路を使用する請求項2記載のMOSオペアンプ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は演算増幅器すなわちオペアンプに関し、中でも特に、MOSオペアンプに関する。

【0002】

【従来の技術】現在使用されているオペアンプの代表例を図4、図5に示す。この回路は共通ソース差動増幅形のCMOSオペアンプで、例えば、『Analog MOS Integrated Circuits for Signal Processing』; R.Gregorian, et.al; John Wiley & Sons; 1986の121～264頁や、或いは、『Biasing Circuit for High Input Swing Operational Amplifiers』; J.F.Duque-Carrillo; IEEE Journal of Solid-State Circuits, VOL30, NO.2, Feb. 1995, PP156-159に開示されている。また、図6には、図5の回路についての小信号等価回路が示してある。

【0003】図4及び図5の差動増幅器1では、NMOSFET2, 3のゲートがそれぞれ差動入力端子とされ、そのソースは共通に定電流源4に接続されている。そして、これらNMOSFET2, 3のドレインに対する能動負荷として、ソースを電源電圧VDDにつないだカレントミラー形のPMOSFET5, 6が接続されている。更に図5の場合には、出力ステージ7として、電源電圧VDDにソースがつながれ、差動増幅器1の出力によりゲート制御されて出力信号Voutをドレインから発生するPMOSFET8と、このPMOSFET8

$$A_{v0} = A_{v1} \cdot A_{v2} \\ = [g_{m1} / (g_{d2} + g_{d4})] \cdot [g_{m4} / (g_{d5} + g_{o5})]$$

【0010】また、その周波数利得は、図7を参照すると次の数式7で表せる。尚、式中、 $S = j\omega$ 、 $Sp_1$  は第1の極(first pole)、 $Sp_2$  は第2の極(second pole)

$$A_v = A_{v0} \cdot 1 / [(1 - S/Sp_1)(1 - S/Sp_2)] \\ \dots Sp_1 = (g_{d2} + g_{d4}) / CA, Sp_2 = (g_{d5} + g_{o5}) / CL$$

【0011】

【発明が解決しようとする課題】ところで、最近における電子製品の携帯化等に伴って、その携帯性の向上や使

の定電流源9と、が設けられている。

【0004】これら回路における差動増幅器1では、全てのトランジスタが飽和領域で動作するので、差動入力Vin1, Vin2のDCレベルに、最低でも次の数式1の条件が要求される。

【数1】 $V_{in} > V_{tn}$  ( $V_{tn}$ はNMOSFETのしきい値電圧)

【0005】また、PMOSFET5, 6の飽和領域動作のため、そのゲート-ソース間電圧Vgsには $V_{gs} > |V_{tp}|$  ( $V_{tp}$ はPMOSFETのしきい値電圧)が要求され、従ってNMOSFET2のドレイン電圧Vaは、次の数式2を満足しなければならない。

$$【数2】 V_a < V_{DD} - |V_{tp}|$$

【0006】更に、NMOSFET2, 3の飽和領域動作のため、次の数式3の条件が要求される。

$$【数3】 V_{in1} - V_a < V_{tn}$$

【0007】これらの数式1～3から、この差動増幅器1の動作条件として次の数式4が得られる。

$$【数4】 V_{tn} < V_{in} < V_{DD} - |V_{tp}| + V_{tn}$$

【0008】この数式4から分かるように、電源電圧VDDが低く、例えば1Vになると、差動入力Vinの動作可能範囲が非常に厳しくなる。従って、通常、差動入力Vin1, Vin2は $V_{DD}/2$ に決定されるので、電源電圧VDDとしては、少なくとも3Vtn程度、即ち約1.5V以上が設定される。つまり、現状の電源電圧VDDは、次の数式5を結果的に満足するものでなければならない。尚、式中の $\alpha$ はマージンを示す。

【数5】

$$V_{DD} \geq V_{tn} + |V_{tp}| + \alpha \\ \geq V_{tn} + V_{tn}/2 + |V_{tp}| + |V_{tp}|/2 \\ = 1.5(V_{tn} + |V_{tp}|)$$

【0009】一方、図5の回路の小信号等価回路図である図6を参照すると、その開ループ利得は次の数式6で表せる。尚、式中、 $AV_0$  はトータル開ループ利得、 $AV_1$  は差動増幅利得、 $AV_2$  は増幅利得である。また、 $g_m$ ,  $g_d$ はMOSFETのチャネルコンダクタンスで、 $g_m = \partial I_D / \partial V_{gs}$ ,  $g_d = \partial I_D / \partial V_{ds}$ である。

【数6】

e) である。

【数7】

用時間の長期化の点から、より低電力化が求められるようになってきている。従って、上記の単一電源用のCMOSオペアンプのようなアナログ回路についても、より



低電圧下で動作できることが必要になっている。しかしながら従来では上述のように電源電圧の低下に限界があり、更なる低消費電力型のオペアンプの開発が望まれている。即ち具体的には、できれば数式6、7で示するような利得はそのまま、1.0V以下の電源電圧、或いはMOSトランジスタのしきい値電圧よりも若干大きい程度の電源電圧で動作可能なCMOSオペアンプが必要とされている。

#### 【0012】

【課題を解決するための手段】このような目的のために本発明では、ダイオード形としたMOSFET及び該MOSFETとゲート接続したMOSFETからなる1対のMOSFETを用い、その各ソース側を差動入力端子に使用すると共にその各ドレイン側へ定電流源を接続して出力端子に使用する差動ステージを設け、そして、該差動ステージの出力により、MOSFET及び定電流源を直列接続してなる出力ステージを制御するようになったMOSオペアンプを提供する。この場合、MOSFETとしてPMOSFETを用いるようにし、また、定電流源としてNMOSFETのカレントミラー回路を用いたCMOSオペアンプとするのが適している。即ち、PMOSFETは素子間分離の容易性や経済性に優れ、また、PMOSカレントミラーでは電源電圧(VDD)へ直接接続しなければならないが、NMOSカレントミラーであれば接地(GND)接続可能であるから、低電圧設計に有利であるためである。

【0013】この回路によれば、差動ステージにおけるDCバイアスのレベルには、1対のMOSFETのしきい値電圧とその若干のマージンのみに関係することになるので、当該オペアンプの電源電圧として従来より低い電圧のものを使用可能になる。その一方で、当該回路の開ループ利得や周波数利得、或いは差動ステージのCMRR(同相信号除去比)については、従来に比べても遜色のないものを得ることができる。

#### 【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。

【0015】図1に示すように、この例のCMOSオペアンプ10は、差動ステージDSと出力ステージOSとから構成されている。差動ステージDSは、各ソースを差動入力Vin1, Vin2にそれぞれつなげた1対のPMOSFET11, 12を備えている。PMOSFET11はダイオード形とされ、そしてPMOSFET12がPMOSFET11とゲート接続されている。即ち、PMOSFET11, 12の各ゲートは共通にしてPMOSFET11のドレインへ接続され、定電流源13を介して接地(GND)されている。PMOSFET12のドレインは定電流源14に接続され、これらPMOSFET12と定電流源14の接続点15が出力端子とされて差動ステージDSの出力(電圧Vb)がとられ

ている。

【0016】出力ステージOSは、電源電圧VDDにソースをつないだPMOSFET16と、このPMOSFET16のドレインに接続した定電流源17との直列接続からなり、PMOSFET16及び定電流源17の接続点18からオペアンプ出力Voutを発生する構成である。PMOSFET16のゲートに差動ステージDSの出力を受けてその導通性が制御されるので、差動入力Vin1, Vin2に応じた出力Voutが得られる。

【0017】このオペアンプ10の定電流源13, 14, 17としては、NMOSFETのカレントミラー回路を用いてある(図1B)。以下、この回路の性能について数式を用いて説明する。

#### 【0018】①. DCバイアス

【0019】図1から明らかなように、このオペアンプ10の差動入力電圧Vinは次の数式8の条件を満足するものでよい。尚、式中のVtpはPMOSFETのしきい値電圧、αはマージンを表す。

$$\text{【数8】 } V_{in} > |V_{tp}| + \alpha \approx |V_{tp}| + |V_{tp}| / 2 = 1.5 |V_{tp}|$$

【0020】このオペアンプ10では、Vin ≈ VDDが可能なので、数式8から電源電圧VDDを次の数式9で表せるレベルまで下げることが可能となる。

$$\text{【数9】 } VDD \approx 1.5 |V_{tp}|$$

【0021】即ち、従来のCMOSオペアンプの電源電圧VDDに比べ、1/2程度のレベルでも動作可能であることが分かる。

#### 【0022】②. 差動ステージDSの利得

【0023】図2に、このオペアンプ10の小信号等価回路図を示す。同図より、次の数式10が表せる。

#### 【数10】

$$V_a : (\text{ノード } V_a \text{ に対するキルヒホッフの法則から}) \\ g_{o1} V_a + g_{d1} (V_a - V_{in1}) + g_{m1} (V_a - V_{in1}) = 0$$

$$V_b : (\text{ノード } V_b \text{ に対するキルヒホッフの法則から}) \\ g_{o2} V_b + g_{d2} (V_b - V_{in2}) + g_{m2} (V_a - V_{in2}) = 0$$

【0024】この数式10より、次の数式11が得られる。

$$\text{【数11】 } V_b = [-g_{m1} \cdot g_{m2} / (g_{m1} + g_{d1} + g_{o1}) (g_{d2} + g_{o2})] V_{in1} + [(g_{m2} + g_{d2}) / (g_{d2} + g_{o2})] V_{in2}$$

【0025】Vin,d = Vin1 - Vin2, Vin,c = (Vin1 + Vin2) / 2から、数式11は次のように変形できる。

$$\text{【数12】 } V_b = [-1 / (g_{d2} + g_{o2})] [g_{m1} \cdot g_{m2} / (g_{m1} + g_{d1} + g_{o1}) + g_{m2} + g_{d2}] \cdot V_{in,d} / 2 + [1 / (g_{d2} + g_{o2})] [g_{m2} + g_{d2} - g_{m1} \cdot g_{m2} / (g_{m1} + g_{d1} + g_{o1})] \cdot V_{in,c}$$

【0026】gm1 ≫ gd1 + go1, gm2 ≫ gd2 + go2 から、数式12は次の数式13で表せる。

$$\text{【数13】 } V_b = -[(g_{m2} + g_{d2} / 2) / (g_{d2} + g_{o2})] V_{in,d}$$

$$_2 + g_{o2})] \cdot V_{in,d} + [g_{d2} / (g_{d2} + g_{o2})] \cdot V_{in,c}$$

【0027】従って、数式13より、次の数式14、数式15が得られる。尚、 $A_{dm}$ は差動モード利得(differential mode gain)、 $A_{cm}$ は同相モード利得(common mode gain)である。

$$|A_{dm}| = (g_{m2} + g_{d2} / 2) / (g_{d2} + g_{o2})$$

$$A_{cm} = g_{d2} / (g_{d2} + g_{o2})$$

$$【数15】CMRR = (g_{m2} + g_{d2} / 2) / g_{d2}$$

【0028】③. 出力ステージOSの利得

【0029】図2から、次式の数式16を得る。

【数16】

$$g_{o3} V_{out} + g_{m3} V_b + g_{d3} V_{out} = 0$$

【0030】この数式16から数式17が得られる。

【数17】

$$V_{out} = [-g_{m3} / (g_{o3} + g_{d3})] \cdot V_b$$

$$A_v = A_{v0} \cdot 1 / [(1 - S / Sp_1) (1 - S / Sp_2)]$$

$$\dots Sp_1 = (g_{o2} + g_{d2}) / CB, Sp_2 = (g_{o3} + g_{d3}) / CL$$

【0034】この実施形態ではPMOSFETを用いる場合について説明しているが、NMOSFETを用いる場合でも同様の回路構成で実施可能である。即ち、図1に示す構成で、PMOSFET11, 12, 16をNMOSFETとし、電源極性を逆にする、つまり差動入力を含めて電源電圧側に負の電圧を用いるか、或いは接地(GND)側を+の電圧として使用するように構成すればよい。この場合にも上記同様の特性を得ることが可能である。

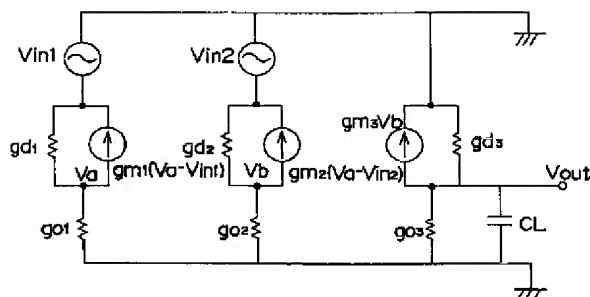
【0035】

【発明の効果】以上説明したように本発明によれば、高性能を維持しつつ1.0V以下の電源電圧でも動作可能なMOSオペアンプを提供できる。従って、更なる低電力化を実現可能で、ダウンサイジングや携帯化の進められる電子製品に有益である。また、本発明のMOSオペアンプは、データ変換関係の回路にも有効に使用できる。

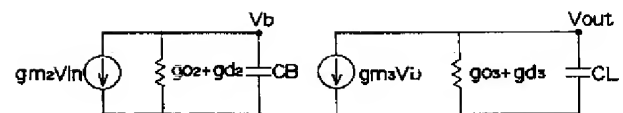
【図面の簡単な説明】

【図1】本発明によるMOSオペアンプを示す回路図。

【図2】



【図3】



【0031】従って、数式18が表せる。尚、 $A_{v2}$ は出力ステージOSの利得となる。

$$【数18】A_{v2} = V_{out} / V_b = |g_{m3} / (g_{o3} + g_{d3})|$$

【0032】以上より、この実施形態の回路のトータルの電圧利得は、次の数式19のようにになる。これは、従来技術の数式6と比べてもほぼ同じ(若干大きい)程度である。尚、 $A_{v1}$ は差動ステージDSの利得となる。

【数19】

$$A_{v0} = A_{v1} \cdot A_{v2}$$

$$= |A_{dm}| \cdot A_{v2}$$

$$= [(g_{m2} + g_{d2} / 2) / (g_{d2} + g_{o2})] \cdot [g_{m3} / (g_{o3} + g_{d3})]$$

【0033】また、周波数利得は、図3を参照して次の数式20で表せる。即ち、従来技術の数式7と比べてもほぼ同じ程度である。

【数20】

【図2】図1のオペアンプの開ループ利得についての等価回路図。

【図3】図1のオペアンプの周波数利得についての等価回路図。

【図4】従来のCMOSオペアンプの一例を示す回路図。

【図5】従来のCMOSオペアンプの他の例を示す回路図。

【図6】図5の回路の開ループ利得についての等価回路図。

【図7】図5の回路の周波数利得についての等価回路図。

【符号の説明】

10 MOSオペアンプ

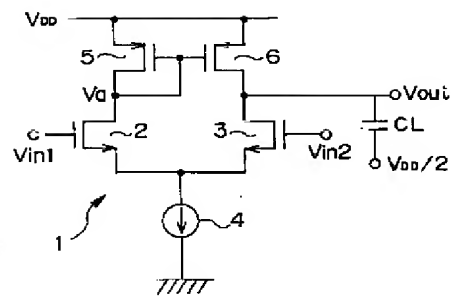
11, 12, 16 PMOSFET

13, 14, 17 定電流源

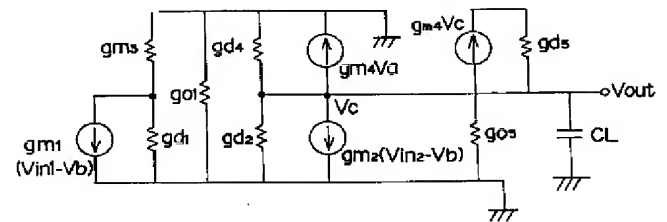
DS 差動ステージ

OS 出力ステージ

【図4】



【図6】



【図7】

